

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02254541 A**(43) Date of publication of application: **15.10.90**(51) Int Cl **G06F 9/38**(21) Application number: **01077150**(22) Date of filing: **29.03.89**(71) Applicant: **FUJITSU LTD**

(72) Inventor:
MARUYAMA TAKUMI
NODA TAKAHITO
KAMISAKA YUJI
NONOMURA KAZUYASU
WATABE TORU
TAKENO TAKUMI
KATO SHINYA

(54) **CONTROL SYSTEM FOR CONDITIONAL
BRANCH INSTRUCTION**

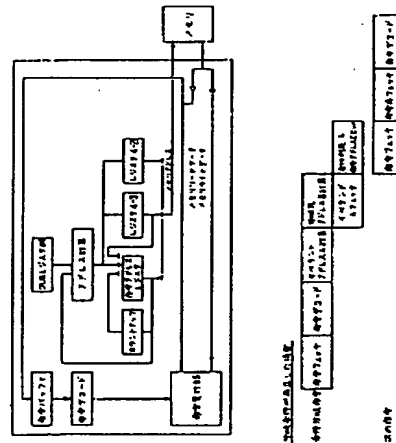
of execution cycles for success of the condition is minimized to increase the execution speed.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To minimize the number of execution cycles at the time of success of conditional branch to increase the execution speed by using one register of another register group to share the branch destination address calculated at the time of decoding a conditional branch instruction and performing decision of the branch condition and copy of the branch destination address to the instruction address for success of the branch condition in the same cycle.

CONSTITUTION: Either of at least two registers 4-2 and 4-3 where operand address A is stored is used as the register where a branch destination address B of the instruction to be fetched at the time of success of the branch condition is stored. Decision of the branch condition and copy of the branch destination address B to an instruction address C at the time of success of the branch condition are performed in the same cycle. Thus, the amount of hardware is reduced, and the cycle to set the branch destination address from a private register to the instruction register is unnecessary because the private register is provided, and the number



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2550408号

(45)発行日 平成8年(1996)11月6日

(24)登録日 平成8年(1996)8月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 3 0		G 0 6 F 9/38	3 3 0 J

請求項の数1(全10頁)

(21)出願番号	特願平1-77150	(73)特許権者	999999999 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成1年(1989)3月29日	(72)発明者	丸山 拓巳 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(65)公開番号	特開平2-254541	(72)発明者	野田 敬人 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
(43)公開日	平成2年(1990)10月15日	(72)発明者	神坂 裕士 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 竹内 進 (外1名)
		審査官	斎藤 操

最終頁に続く

(54)【発明の名称】 条件分岐命令の制御方式

(57)【特許請求の範囲】

【請求項1】条件分岐命令を解釈した場合に、分岐条件の判定に必要なオペランドアドレス(A)を計算してレジスタにセットし、次に分岐条件成立時にフェッチすべき命令の分岐先アドレス(B)を計算してレジスタにセットし、

一方、分岐条件の判定に必要な前記オペランドアドレス(A)が確定した時点でメモリ上のオペランドをリードして分岐条件成立の有無を判定し、分岐条件不成立時にはカウントアップされた命令アドレス(C)により次の命令をフェッチし、分岐条件成立時には前記分岐先アドレス(B)を命令アドレス(C)として命令をフェッチする条件分岐命令の制御方式において、

前記分岐先アドレス(B)を格納するレジスタを前記オペランドアドレス(A)を格納する少なくとも2つのレ

ジスタ(4-2,4-3)のいずれかと共用すると共に、前記分岐条件の判定と分岐成立時の分岐先アドレス(B)の命令アドレス(C)へのコピーを同一サイクルで行うことを特徴とする条件分岐命令の制御方式。

【発明の詳細な説明】

【概要】

アドレス計算機構を備えた計算機の条件分岐命令の制御方式に関し、

条件分岐成立時の実行サイクル数を最小限に抑えて高速化することを目的とし、

条件分岐命令の解釈時に計算された分岐先アドレスを、条件判定に必要なオペランドアドレスを格納する他のレジスタ群の中の1つを使用することで共用し、分岐条件の判定と分岐条件成立時の分岐先アドレスの命令アドレスへのコピーを同一サイクルで行なうように構成す

る。

〔産業上の利用分野〕

本発明は、アドレス計算機構を備えた計算機における条件分岐命令の制御方式に関する。

近年、コンピュータシステムの高速化の要求に伴い、命令の解釈・実行の方法としてパイプライン制御が一般的になっているが、パイプの流れを乱す条件分岐命令が高速化のネックとなっており、実行サイクル数を可能な限り低減することが望まれる。

〔従来の技術〕

近年、コンピュータシステムの高速化の要求に対応して行なわれているパイプライン制御とは、命令の解釈・実行をいくつかのステージに分け、各ステージ機構は、ある命令の実行後、この命令の全ステージでの実行終了を待たずに、次の命令を当該ステージで実行する方式であるが、条件分岐命令、即ち、命令の実行結果によって分岐先が変わる命令、例えば命令中で示されるアドレスのメモリ内容によって分岐・非分岐が確定する分岐命令については、条件分岐命令が終了しなければ次に解釈・実行すべき命令が確定しないため、その間、パイプライン制御が止ってしまい、高速化のネックとなっている。

第5図に従来方式の構成図を示す。

第5図において、1はメモリ6からフェッチした命令をバッファリングする命令バッファ、2はフェッチされた命令を解釈する命令デコーダ、3は汎用レジスタや実行中の命令アドレスからオペランドや分岐先アドレスを計算するアドレス計算部である。アドレスレジスタは4個あり、命令用アドレスレジスタ4-1、第1オペランド用アドレスレジスタ4-2、第2オペランド用アドレスレジスタ4-3、及び命令分岐用アドレスレジスタ4-4の4種を備える。

また、5は命令実行部であり、命令デコーダ2のデコード結果に従ってオペランドリードやライト、各種演算を行なう。更に6は主記憶としてのメモリである。

次に第6図のタイミング説明図を参照して動作を説明する。

命令バッファ1はメモリ6から命令アドレスレジスタ4-1によってアドレスされる命令をフェッチしバッファリングしている。命令デコーダ2はデコード結果が条件分岐命令であった場合、アドレス計算部3に条件判定に必要なオペランドのアドレス計算を指示する。アドレス計算部3で計算されたオペランドアドレスは第1、第2オペランドアドレスレジスタ4-2、4-3のいずれかに一方にセットされる。

次に命令デコーダ2は分岐条件が成立した場合にフェッチすべき命令のアドレス、即ち、分岐先アドレスの計算をアドレス計算部3に指示し、計算結果は専用の命令分岐先アドレスレジスタ4-4にセットされる。

以上のアドレス計算が終了すると、分岐命令が成立しないことを仮定して命令アドレスレジスタ4-1をカウ

ントアップし、命令バッファ1に対しカウントアップされた命令アドレスで指定される次の命令をフェッチする。

一方、命令実行部5は分岐条件の判定に必要なオペランドアドレスが確定した時点でメモリ6上のオペランドをリードし、次に分岐上げの成立の有無を判定する。

分岐条件が成立していなかった場合、そのとき命令バッファ1にバッファリングされている次の命令のデコード以降の動作が実行される。

逆に分岐条件が成立していた場合には、命令分岐先アドレスレジスタ4-4の値を命令アドレスレジスタ4-1に格納し、分岐先命令のフェッチから再実行する。

〔課題を解決するための手段〕

しかしながら、このような従来の条件分岐命令の制御方式にあつては、分岐先のアドレス計算結果を格納する専用レジスタ4-4を必要とし、また分岐条件の成立を判定した場合に、命令分岐先アドレスを格納した専用レジスタの値を命令アドレスレジスタに格納した後に、命令フェッチから再実行するために実行サイクル数が多くなる問題があった。

本発明は、このような従来の問題点に鑑みてなされたもので、条件分岐命令成立時の実行サイクル数を最小限に抑えて高速化する条件分岐命令の制御方式を提供することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理説明図である。

まず本発明は、条件分岐命令を解読した場合に、分岐条件の判定に必要なオペランドアドレスAを計算してレジスタにセットし、次に分岐条件成立時にフェッチすべき命令の分岐先アドレスBを計算してレジスタにセットし、一方、分岐条件の判定に必要なオペランドアドレスAが確定した時点でメモリ上のオペランドをリードして分岐条件成立の有無を判定し、分岐条件不成立時にはカウントアップされた命令アドレスCにより次の命令をフェッチし、逆に、分岐条件成立時には分岐先アドレスBを命令アドレスとして命令をフェッチする条件分岐命令の制御方式を対象とする。

このような条件分岐命令の制御方式について本発明にあつては、分岐先アドレスBを格納するレジスタを前記オペランドアドレスAを格納する少なくとも2つのレジスタ4-2、4-3のいずれかと共用すると共に、分岐条件の判定と分岐条件成立時の分岐先アドレスBの命令アドレスCへのコピーを同一サイクルで行なうようにしたものである。

〔作用〕

このような構成を備えた本発明による条件分岐命令の制御方式にあつては、命令の分岐先アドレスを専用のレジスタに格納せずに空き状態にある少なくとも2つのオペランドレジスタのいずれかに格納して共用し、かつ、分岐条件の判定と分岐条件成立時のオペランドレジスタ

から命令レジスタへの分岐先アドレスのコピーを同一サイクルで行なうようにしたため、ハード量の削減が可能であり、また専用レジスタを設けていたことによる従来の専用レジスタから命令レジスタへの分岐先アドレスのセットサイクルが不要となり、条件成立時の実行サイクル数を最小限に抑えて高速化を図ることができる。

〔実施例〕

第2図は本発明の一実施例を示した実施例構成図である。

第2図において、1はメモリ6からフェッチした命令をバッファリングする命令バッファ、2は命令バッファ1にフェッチされた命令を解読する命令デコード部、3は汎用レジスタや実行中の命令アドレスからオペランドや分岐先アドレスを計算するアドレス計算部、4-1~4-3はアドレスレジスタであり、本発明にあっては命令用アドレスレジスタ4-1、第1オペランド用アドレスレジスタ4-2及び第2オペランド用アドレスレジスタ4-3の3種を備え、従来のように分岐用アドレスレジスタは設けていない。5は命令実行部であり、命令デコード部2による命令のデコード結果に従ってオペランドリードやライト、各種の演算を行なう。更に、6は主記憶としてのメモリである。

このような第2図に示した本発明の実施例にあっては、条件分岐命令に対し第3図の分岐命令動作タイミング説明図に示す制御を行なう。

まず、命令バッファ1はメモリ6から命令アドレスレジスタ4-1によってアドレスされる命令をフェッチしてバッファリングしている。命令デコード部2はデコード結果が条件分岐命令であった場合、アドレス計算部3に対し条件判定に必要なメモリ6のオペランドのアドレス計算を指示する。このアドレス計算部3によるオペランドのアドレス計算結果は、第1及び第2オペランドアドレスレジスタ4-2または4-3のいずれか一方にセットされる。

続いて、命令デコード部2はアドレス計算部3に対し分岐条件が成立した場合にフェッチすべき命令のアドレスの計算を指示する。このアドレス計算に得られた分岐先アドレスは、第1及び第2のオペランドアドレスレジスタ4-2または4-3のうち、この命令実行時においてオペランドアドレスとして使用されていない側のレジスタにセットされる。

以上のアドレス計算を終了すると、分岐条件が成立しないことを仮定して命令アドレスレジスタ4-1はカウントアップし、命令バッファ1はカウントアップされた命令アドレスによる次の命令をフェッチする。

一方、命令実行部5はオペランドアドレスが確定した時点でメモリ6上のオペランドをリードし、次に分岐条件を判定する。分岐条件が成立していなかった場合、そのとき命令バッファ1にバッファリングされている命令のデコード以降の動作が実行される。逆に分岐条件が成

立していた場合、この分岐条件の判定と同一サイクル中にオペランドアドレスレジスタ4-2または4-3のいずれか一方に格納されていた命令分岐先アドレスの値を命令アドレスレジスタ4-1にコピーし、次に命令フェッチから再実行するようになる。

ここで、第3図に示す本発明による分岐命令の動作タイミングと第6図に示した従来の動作タイミングを対比してみると、(b)に示す分岐条件が成立しなかった場合については実行サイクル数は同じであるが、(a)の分岐条件が成立した場合については、第6図の従来例にあってはオペランドフェッチ、分岐条件判定及び命令アドレスセットの3サイクルを必要としたものが、第3図の本発明にあってはオペランドフェッチ条件判定及び命令アドレスセットの2サイクルで済ませることができる。

次に、第2図の実施例について条件分岐命令の1つであるTH命令 (Test Half Word) を例にとって具体的に説明する。

TH命令のフォーマット構成は第4図に示すように、OPコードが96となる4バイト長の命令である。このTH命令において、2バイト目のベース部B (2ビット) によって指示されるレジスタ値及びインデックス部X (2ビット) によって指示されるレジスタ値及び2~3バイト目となる命令中で直接、指示されるディスプレイメント (12ビット) を加算して得られるアドレスのメモリ上のハーフワード (16ビット) を参照する。このメモリ上のハーフワードの値が分岐条件となっており、分岐条件を示す値が0ならば、この命令が格納されているアドレスに命令中で直接指示されるアドレスAdr (8ビット) を加算したアドレスに分岐する。

逆に分岐条件の値が0以外であったならば、この命令が格納されているアドレスに命令長4を加算したアドレスに加算されている値が次の命令となる。

このようなTH命令について、第2図による制御を具体的に説明すると、次のようになる。なお、第2図における数値は16進表現としている。

今、メモリ6上のアドレスaに第4図に示したTH命令が入っており、命令アドレスレジスタ4-1はアドレスaの値を保持しているものとする。

まず、このとき命令用アドレスレジスタ4-1にセットされているアドレスaから始まるメモリ6上の4バイトデータが命令バッファ1にフェッチされる。命令デコード部2は先頭1バイトの値96からこの命令がTH命令であることをデコードし、アドレス計算部3に対し第1オペランドアドレスCの計算を指示する。

アドレス計算部3はOPコードに続く2バイトの値6200から第1レジスタの値及び第2のレジスタの値、更に命令中で直接指示されるディスプレイメントの値200を加算して第1オペランドアドレスの値Cを求め、この計算されたオペランドアドレスCの値を第1オペランド用レジスタ4-2に格納する。

次に、残り1バイトのAdr値31と、そのときの命令アドレス用レジスタ4-1の値aとを加算して(a+31)を求め、この(a+31)を分岐条件が成立した場合にフェッチすべき命令アドレスとして第2オペランド用アドレスレジスタ4-3に格納する。

以上のアドレス計算及びレジスタセットを終了すると、命令アドレス用レジスタ4-1は命令長4だけカウントアップして(a+4)となり、命令バッファ1はアドレス(a+4)の命令XXをフェッチする。

一方、命令実行部5は第1オペランド用アドレスレジスタ4-2に格納された値Cによってアドレスされるメモリ6上のオペランドYYYYをリードし、次に分岐条件を判定する。

ここで、オペランドYYYYの値が0以外ならば分岐条件不成立であることから、そのとき命令バッファ1にフェッチされている命令XXのデコード以降の動作が実行される。

逆にオペランドYYYYの値が0ならば分岐条件成立と判定し、同一サイクル中に第2オペランド用アドレスレジスタ4-3に格納されている命令分岐先アドレスの値(a+31)を命令用アドレスレジスタ4-1にコピーし、アドレス(a+31)に存在するデータZZを次の命令としてフェッチして再実行する。

尚、蒸気の実施例はTH命令の具体例を例にとるものであったが、本発明はこれに限定されず、適宜の条件分岐命令につきそのまま適用できる。

〔発明の効果〕

以上説明してきたように本発明によれば、分岐先のアドレス計算結果を格納する専用レジスタを必要としないため、ハード量の削減が可能である。また、分岐条件の判定と分岐条件成立の分岐先アドレスの命令アドレスへのコピーを同一サイクルで行なうことができ、条件分岐命令の実行サイクル数を最少限に抑え、パイプライン制御のネックとなっている条件分岐命令による負担を軽減して、より高速化を図ることができる。

【図面の簡単な説明】

第1図は本発明の原理説明図；

第2図は本発明の実施例構成図；

第3図は本発明の分岐動作タイミング説明図；

第4図は本発明の対象となるTH命令フォーマット説明図；

第5図は従来方式の構成図；

第6図は従来方式の動作タイミング説明図である。

図中、

1:命令バッファ

2:命令デコード部

3:アドレス計算部

4:アドレスレジスタ

4-1:命令用アドレスレジスタ (FA)

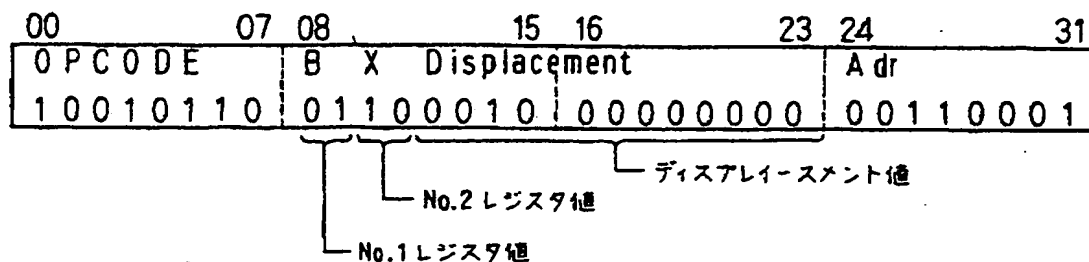
4-2:第1オペランド用アドレスレジスタ (DA)

4-3:第2オペランド用アドレスレジスタ (SA)

5:命令実行部

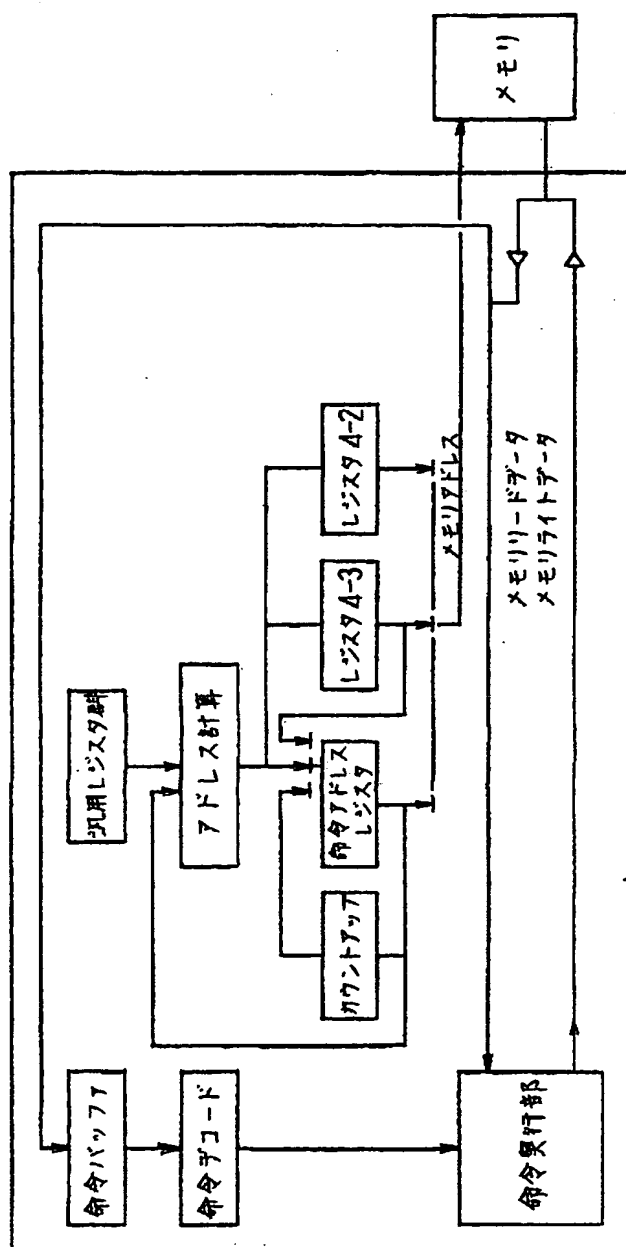
6:メモリ

【第4図】



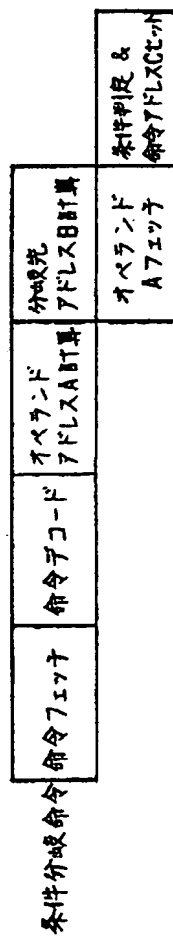
本発明の対象となるTH命令フォーマット説明図

【第 1 図】



構成 (a)

分岐条件が成立した場合

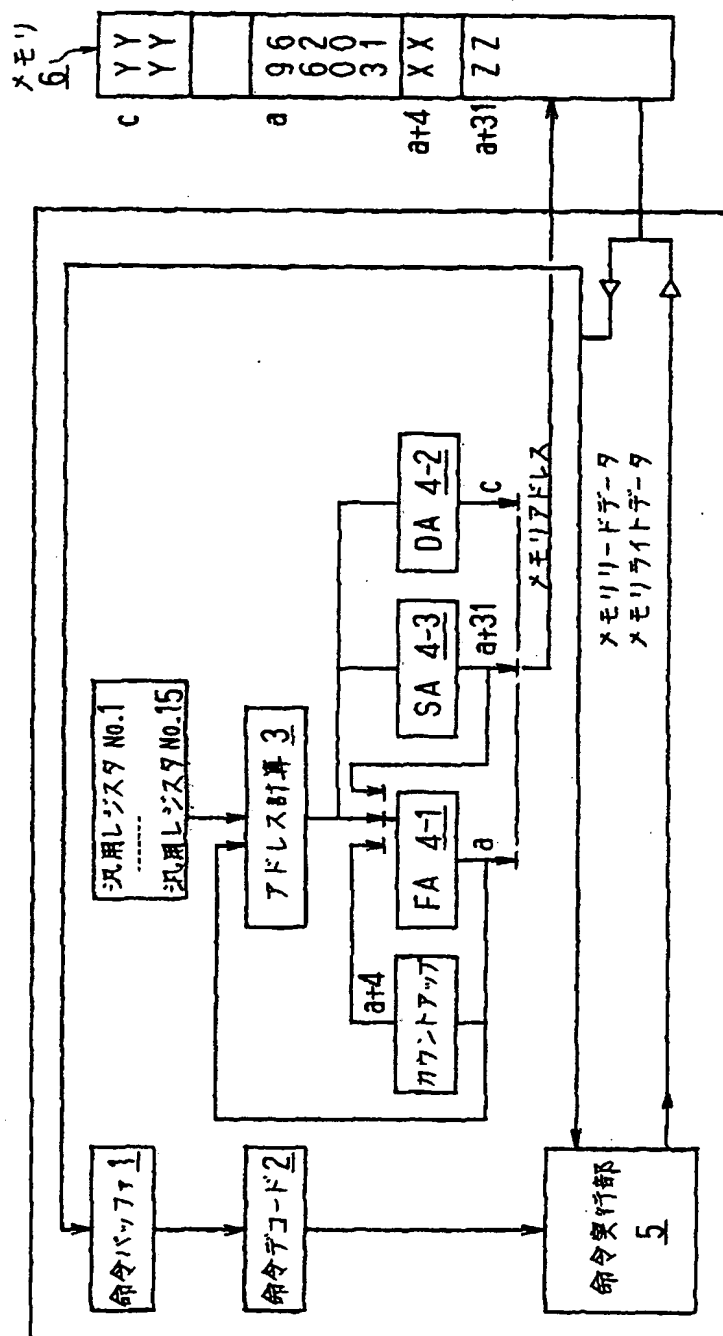


次の命令

動作 (b)

本発明の原理説明図

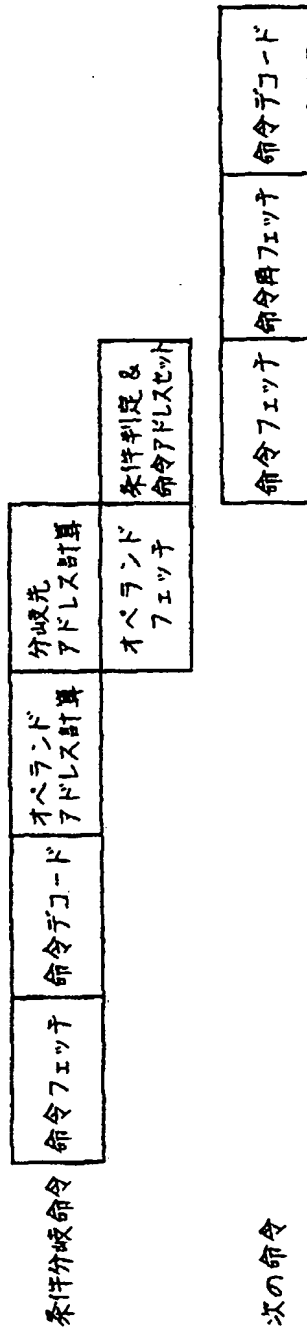
【第2図】



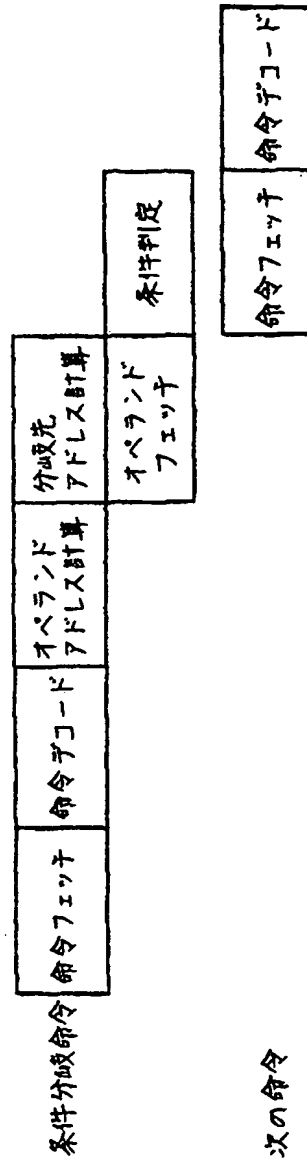
本発明の実施例構成図

【第3図】

(a) 分岐条件が成立した場合

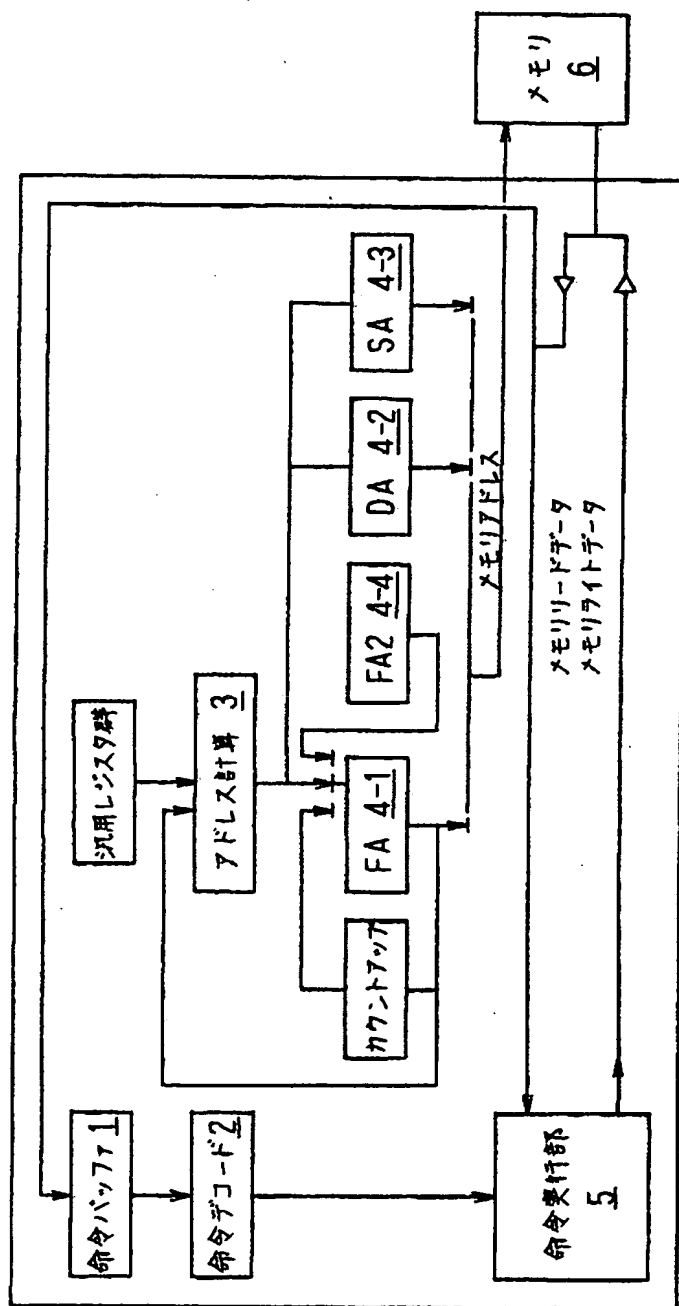


(b) 分岐条件が成立しなかった場合



本説明による分岐命令動作タイミング説明図

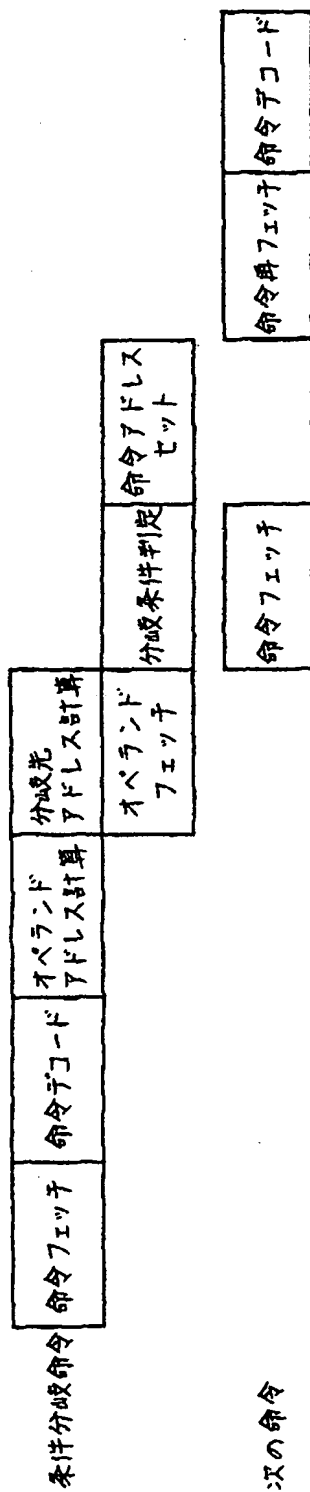
【第5図】



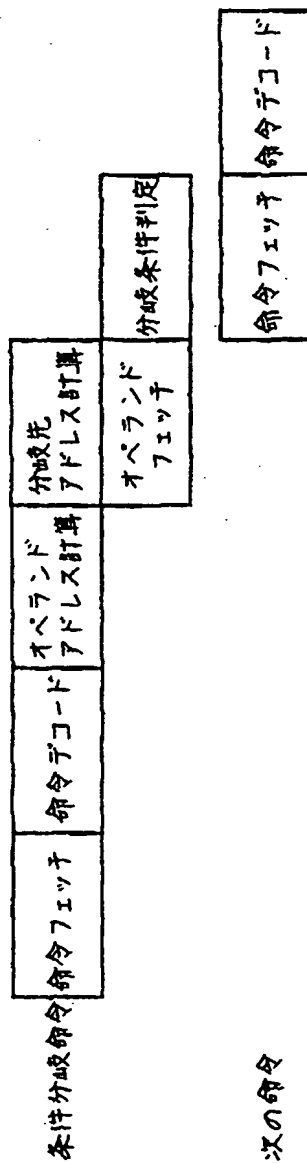
従来方式の構成図

【第6図】

(a) 分岐条件が成立した場合



(b) 分岐条件が成立しなかった場合



従来の分岐命令動作タイミング説明図

フロントページの続き

(72)発明者 野々村 一泰
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 渡部 徹
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 竹野 巧
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 加藤 慎哉
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内